

## PATENT ABSTRACTS OF JAPAN

B1b

(11)Publication number : 09-246988

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H03M 7/40

G06F 11/10

H04N 1/41

H04N 7/24

(21)Application number : 08-047666

(71)Applicant : CANON INC

(22)Date of filing : 05.03.1996

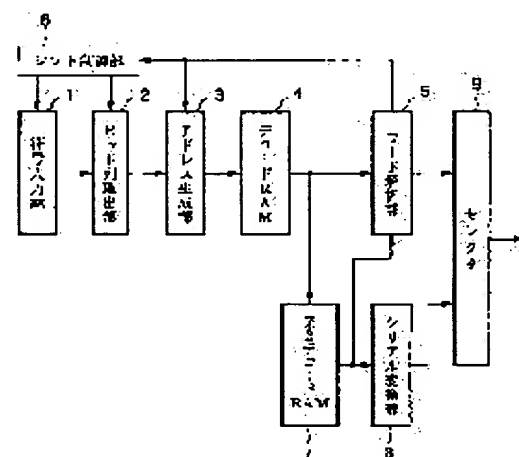
(72)Inventor : MITA YOSHINOBU

## (54) DECODER AND METHOD THEREFOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a decoder and the method for simultaneously decoding plural variable length codes while maintaining the address length and total capacity of a decoding table small and accelerating a decoding processing.

**SOLUTION:** In the case of decoding one code, decoding is performed by the corresponding word of a decoding RAM 4. In this case, when a code length is long, the plural words are referred to. Also, in the case of simultaneously decoding the plural codes, by indicating a word address in a second decoding RAM 7 in the corresponding word of the decoding RAM 4 and referring to the word of the second decoding RAM 7, the plural codes are simultaneously decoded.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246988

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/40		9382-5K	H 0 3 M 7/40	
G 0 6 F 11/10	3 3 0		G 0 6 F 11/10	3 3 0 S
H 0 4 N 1/41			H 0 4 N 1/41	Z
7/24			7/13	Z

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平8-47666

(22) 出願日 平成8年(1996)3月5日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 三田 良信

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

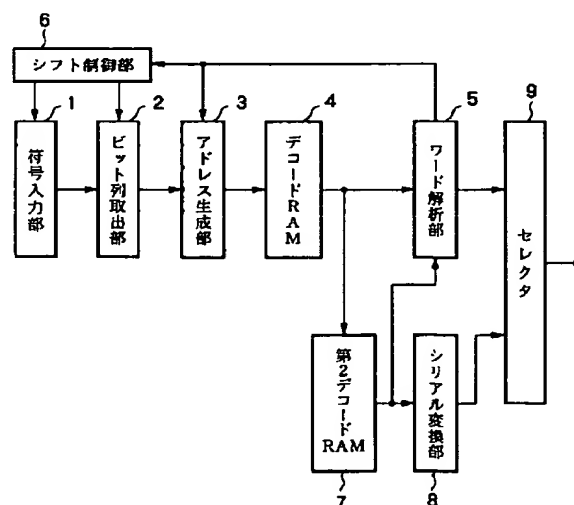
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 復号装置及びその方法

(57) 【要約】

【課題】 可変長符号を復号するためのデコードテーブルにおいて、可変長符号のコード長が長かったり、複数符号を同時に復号する場合には、テーブル容量が増加してしまう。

【解決手段】 1つの符号を復号する場合にはデコードRAM4の対応するワードにより復号を行う。この場合、コード長が長ければ複数ワードを参照する。また、複数の符号を同時に復号する場合には、デコードRAM4の対応するワードにおいて第2デコードRAM7におけるワードアドレスを示し、該第2デコードRAM7のワードを参照することにより複数符号を同時に復号する。



## 【特許請求の範囲】

【請求項1】 可変長符号を入力する入力手段と、  
可変長符号の1符号を復号するための第1の復号手段と、  
可変長符号の複数符号を同時に復号するための第2の復号手段とを備え、  
前記第1の復号手段は、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号手段の情報を与えることを特徴とする復号装置。

【請求項2】 前記第1の復号手段及び前記第2の復号手段は、それぞれ第1の復号テーブル及び第2の復号テーブルであることを特徴とする請求項1記載の復号装置。

【請求項3】 前記第2の復号テーブルは、複数の復号値を含んでいることを特徴とする請求項2記載の復号装置。

【請求項4】 前記第1の復号テーブルは、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号テーブルにおけるアドレス情報を与えることを特徴とする請求項2または3記載の復号装置。

【請求項5】 前記第1の復号テーブルは、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号テーブルにおけるアドレス情報および先頭符号の復号値を与えることを特徴とする請求項2または3記載の復号装置。

【請求項6】 前記第2のテーブルは、複数符号のうちの先頭以外の符号の復号値を含んでいることを特徴とする請求項5記載の復号装置。

【請求項7】 前記可変長符号はハフマン符号であることを特徴とする請求項1乃至4のいずれかに記載の復号装置。

【請求項8】 前記可変長符号は付加ビットを含むことを特徴とする請求項5記載の復号装置。

【請求項9】 可変長符号をテーブルを参照して復号する復号装置であって、  
該テーブルの各ワードに対応する可変長符号長は固定であり、

復号すべき可変長符号が前記固定の可変長符号長よりも長い場合、前記テーブルにおいて複数のワードを使用して該可変長符号を復号することを特徴とする復号装置。

【請求項10】 可変長符号を復号する復号装置における復号方法であって、

可変長符号の1符号を第1の復号テーブルを参照して復号する第1の復号工程と、

可変長符号の複数符号を第2の復号テーブルを参照して同時に復号するための第2の復号工程とを備え、

前記第1の復号工程においては、入力された可変長符号が複数符号を含んでいる場合に、前記第1の復号テーブ

ルにより該複数符号に対応する前記第2の復号テーブルの情報を与えることを特徴とする復号方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は復号装置及びその方法に関し、例えば可変長符号を復号する復号装置及びその方法に関する。

【0002】

【従来の技術】近年の通信装置や情報処理装置の発達に伴い、より効率的なデータ通信や、より効率的なデータ格納を行うために、データの符号化は不可欠の技術となり、種々の符号化方法が提案されている。

【0003】符号化方法としては、符号が必ずしも固定長でない可変長符号化方式が知られている。この可変長符号の復号（デコード）を行う最も簡単な方法としては、符号とデータとを対応させたテーブル（デコードテーブル）を参照して復号する方法がある。この場合、可変長符号中で最長のコード長と同一のビット幅をテーブルのアドレスのビット幅に対応させることにより、テーブルを参照していた。

【0004】又、可変長符号の複数ビットを参照して順次復号を行っていく場合に、該複数ビット中に複数の可変長コードが含まれている場合がある。このような場合に、先頭のコードのみを復号する方式と、又はテーブルの1ワード幅を拡張して、例えば先頭から2つ目まで等、複数のコードをテーブル内容として記憶しておくことにより、同時に2つのコードを復号を可能とする方式のいずれかを採用していた。

【0005】

【発明が解決しようとする課題】しかしながら上記従来例においては、可変長コードにおける最長コード長が長い場合には、テーブルのアドレス長が非常に伸びることとなり、従ってテーブル容量が非常に大きくなってしまふ。

【0006】また、テーブル内に複数の可変長コードを記憶しておき、複数コードを同時に復号するためには、テーブルの1ワード幅を拡張する必要がある。従って、テーブル容量が更に増加してしまう。

【0007】このようにテーブル容量が増加してしまうことにより、該テーブルを半導体メモリで構成することが困難となってしまう。これは、デコーダのLSI化の妨げにもなっていた。

【0008】本発明は上述した課題を解決するためになされたものであり、デコードテーブルのアドレス長及び総容量を小さく保ったまま、複数の可変長コードの同時復号を可能とし、復号処理の高速化を実現する復号装置及びその方法を提供することとする。

【0009】

【課題を解決するための手段】上述した目的を達成するための一手段として、本発明の復号装置は以下の構成を

備える。

【0010】即ち、可変長符号を入力する入力手段と、可変長符号の1符号を復号するための第1の復号手段と、可変長符号の複数符号を同時に復号するための第2の復号手段とを備え、前記第1の復号手段は、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号手段の情報を与えることを特徴とする。

【0011】例えば、前記第1の復号手段及び前記第2の復号手段は、それぞれ第1の復号テーブル及び第2の復号テーブルであることを特徴とする。

【0012】例えば、前記第2の復号テーブルは、複数の復号値を含んでいることを特徴とする。

【0013】例えば、前記第1の復号テーブルは、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号テーブルにおけるアドレス情報を与えることを特徴とする。

【0014】例えば、前記第1の復号テーブルは、前記入力手段により入力された可変長符号が複数符号を含んでいる場合に、該複数符号に対して前記第2の復号テーブルにおけるアドレス情報および先頭符号の復号値を与えることを特徴とする。

【0015】例えば、前記第2のテーブルは、複数符号のうちの先頭以外の符号の復号値を含んでいることを特徴とする。

【0016】例えば、前記可変長符号はハフマン符号であることを特徴とする。

【0017】例えば、前記可変長符号は付加ビットを含むことを特徴とする。

【0018】また、可変長符号をテーブルを参照して復号する復号装置であって、該テーブルの各ワードに対応する可変長符号長は固定であり、復号すべき可変長符号が前記固定の可変長符号長よりも長い場合、前記テーブルにおいて複数のワードを使用して該可変長符号を復号することを特徴とする。

【0019】また、上述した目的を達成するための一手法として、本発明の復号方法は以下の工程を備える。

【0020】即ち、可変長符号を復号する復号装置における復号方法であって、可変長符号の1符号を第1の復号テーブルを参照して復号する第1の復号工程と、可変長符号の複数符号を第2の復号テーブルを参照して同時に復号するための第2の復号工程とを備え、前記第1の復号工程においては、入力された可変長符号が複数符号を含んでいる場合に、前記第1の復号テーブルにより該複数符号に対応する前記第2の復号テーブルの情報を与えることを特徴とする。

【0021】

【発明の実施の形態】以下、本発明に係る一実施形態について、図面を参照して詳細に説明する。

【0022】＜第1実施形態＞図1は本実施形態の復号

装置の構成を示すブロック図である。1は可変長符号の入力を受ける符号入力部、2は復号のための解析に必要なビット列を抽出するビット列取出部、3は復号に必要なテーブルのアドレスを生成するアドレス生成部、4は復号テーブルであるところのデコードRAM、7は複数コードを復号する第2デコードRAM、5は復号テーブルの内容を解析するワード解析部、8は複数コードの復号結果を順に送出するためのシリアル変換部、9は1つの符号の復号結果又は複数符号の復号結果を選択して出力するセレクタである。また、6はシフト制御部であり、符号入力部1及びビット列取出部2を制御してアドレス生成部3への入力ビット数を調整する。以下、これらの各構成における詳細な動作について説明する。

【0023】本実施形態では、可変長符号としてハフマンコードを例として説明する。このハフマンコードはまず符号入力部1に入力される。符号入力部1はシフト制御部6によって制御され、必要に応じて外部からハフマンコードのビット列をとり込む動作を行う。符号入力部1に入力されたデータはビット列取出部2において、復号のための解析に必要なビット数が取り出される。そしてこの時、解析が既に終了したビット数分は、取り出したビット列から廃棄される。

【0024】このように、解析に必要なビット数のビット列がアドレス生成部3に送られる。そして、第1回目の解析では予め決められた解析ビット長として、該ビット列がそのままデコードRAM4のアドレスとして与えられる。

【0025】ここで、デコードRAM4のワード構成を図3に示す。デコードRAM4によって得られたデータに基づいて、次段のワード解析部5において該データ内容に応じた復号処理が行われる。以下、その詳細について説明する。

【0026】まず、1回の解析で1つのハフマンコードの復号が終了する場合について説明する。この場合、デコードRAM4の対応するワードには、図3に示す領域31に第1復号値が、領域32に該第1復号値に対応するハフマンコードのコード長がセットされている。また、検索終了フラグ33が立っている。するとワード解析部5においては、復号結果(第1復号値)をセレクタ9へ出力すると共に、ビット列取出部2で復号の終了したビット列部分を廃棄するように、シフト制御部6にコード長を含んだ指令を送る。

【0027】また、1回の解析で復号が終了しない場合、即ち、復号すべきハフマンコードが、上述した予め決められた解析ビット長よりも長い場合が発生する。この場合には、デコードRAM4の対応するワードには、図3に示す領域31に該ワードを示すポインタが、領域32に次の解析に要するビット長を示す次解析長がセットされている。また、領域33に検索終了フラグは立っていない。

【0028】ハフマンコードの復号時に、デコードRAM4においてこのようなワードが検索された場合、ワード解析部5は、まずシフト制御部6を介してビット列取出部2においてビット列から解析の終了したビットを取り除く。そして、領域32に保持された次解析長で示された、次の解析に必要なビット数のハフマンコードをアドレス生成部3に送出するように制御する。また、アドレス生成部3にはワード解析部5より領域31に保持されたポインタが与えられる。アドレス生成部3においては、このポインタ及びハフマンコードが加算されることにより、2回目の解析のためにアクセスされるデコードRAM4のアドレスが決定する。

【0029】そして、このようにアクセスされたデコードRAM4の各ワードにおいて、領域33の検索終了フラグが立ったものが検出されるまで、以上の動作が複数のワードについて繰り返される。そして、検索終了フラグが立ったワードを検出した際に、該ワードにおける領域31に保持された第1復号値をもって、ハフマンコードの復号値とする。

【0030】このように本実施形態においては、ハフマンコード長が長い場合でも、デコードRAM4において複数ワードを利用することにより、該コードの最後までを適切に解析して復号することができる。

【0031】そして、セレクタ9においてワード解析部5からの出力が選択出力されることにより、復号結果の出力が行われる。

【0032】次に、デコードRAM4の1回の検索の際に、該検索ビット列内に少なくとも2個のハフマンコードが含まれる場合について説明する。この場合、デコードRAM4の対応するワードには、図3に示す領域34に複数コードを示す複数コードフラグが立っている。この場合、本実施形態では複数コードを復号するために、第2デコードRAM7へのアクセスを行う。従って、デコードRAM4内のワード構成において、領域34の複数コードフラグ以外のいずれかの領域（例えば領域31等）に、第2デコードRAM7に対応するポインタが格納されている。そして、該ポインタをアドレスとして、第2デコードRAM7に対するアクセスが行われる。尚、第2デコードRAM7へのポインタは、上述した様に直接デコードRAM4から与えられても良いし、又、ワード解析部5を介してアドレス生成部3に与えるようにしても良い。

【0033】第2デコードRAM7のワード構成を図4に示す。図4において、41は解析したビット列の先頭コードの復号結果である第1復号値、42は第2番目のコードの復号結果である第2復号値である。また、43は先頭コードと第2番目のコードの合計のビット数である解析終了コード長である。これら第1復号値41及び第2復号値42は、シリアル変換部8において時系列的にシリアルに変換されて、セレクタ9より選択出力され

る。

【0034】このように、1回の検索で複数コードの復号が行われる場合には、ワード解析部5において解析終了コード長43がシフト制御部6に送られ、ビット取出部2において2コード分のビット取出しが行われる。従って、1コードずつ処理を行う場合と比べて、処理時間が短くなるという利点がある。又、第2デコードRAM7の出力をシリアル変換部8でシリアルに変換する際に、ビット列取出部2において次のコードを抽出し、デコードRAM4をアクセスして次の復号処理を開始するように、即ち並列処理を行うことにより、更なる高速処理が可能となる。

【0035】尚、複数コードの復号時に、図4に示す第2デコードRAM7のワード構成において、解析終了コード長43を第2番目のコードのコード長として設定し、先頭のコード長は、デコードRAM4のワード内に第2デコードRAM7のポインタと共に書き込む形態にしても良い。この場合、該2つのコードのコード長はワード解析部5において合計されて（又は別々に）シフト制御部6に送られ、ビット取出部2で不要になったビットを廃棄するように構成すれば良い。

【0036】又、図4に示す第2デコードRAM7のワード構成から解析終了コード長43を省き、該コード長をデコードRAM4のワードの一部として構成しても良い。これは、第2デコードRAM7へのポインタが大きなビット幅を必要としない場合に有効であり、第2デコードRAM7の総容量を削減することができる。

【0037】又、本実施形態において複数コードの復号例として、第1及び第2の2つのコードを一度に復号する場合について説明を行ったが、もちろん、3つ以上のコードに対して適用しても良い。

【0038】以上説明した様に本実施形態によれば、ハフマンコードのコード長が長い場合でも複数ワードを利用した復号を可能としたことにより、必要最小限のワード幅によるデコードテーブルの構成が可能となり、テーブルの総容量を削減することができる。

【0039】また、デコードテーブルの検索結果から複数コードの復号を行うか否かを判断し、複数コードの復号を行う場合には第2のデコードテーブルを用いることにより、複数コードの復号に必要なビット列に対してのみ、第2デコードテーブルを用意すれば良く、従って、第2デコードテーブルのアドレス幅を非常に小さくすることができ、該テーブルの小容量化が可能となる。

【0040】＜第2実施形態＞以下、本発明に係る第2実施形態について説明する。

【0041】図2に、第2実施形態における復号装置のブロック構成を示す。尚、図2において上述した第1実施形態において説明した図1と同様の構成については同一番号を付し、説明を省略する。

【0042】例えば符号化の際にハフマンコードを採用

10

20

30

40

50

したJ P E G標準符号化方式においては、ハフマンコードとハフマンコードとの間に、付加ビットが挿入されるケースがある。第2実施形態の復号装置においては、このように負荷ビットが挿入された符号に対しても適切な復号を可能としたことを特徴とする。

【0043】第2実施形態において、デコードRAM4の一回の検索につき1つのコードだけが復号される場合には、第1復号値がセクタ9から選択されて出力された後に、付加ビットがビット取出部2より取り出され、セクタ9より選択出力される。この場合のデコードRAM4のワード構成は、第1実施形態で示した図3と同様の構成で良い。尚この場合、ワード解析部5において第1復号値内の情報に基づいて付加ビット長を検知することができるため、シフト制御部6を介してビット取出部2の制御を行うことが可能である。

【0044】次に、デコードRAM4の一回の検索につき複数のコードが復号される場合について説明する。この場合、デコードRAM4の対応するワードには、第1実施形態と同様、図3に示す領域34に複数コードを示す複数コードフラグが立っており、該フラグに基づいて、複数コードを復号するための第2デコードRAM7へのアクセスを行う。従って、図3に示すデコードRAM4内のワード構成において、領域34の複数コードフラグ以外のいずれかの領域（例えば領域31等）に、第2デコードRAM7に対応するポインタが格納されている。そして、該ポインタをアドレスとして、第2デコードRAM7に対するアクセスが行われる。尚、第2デコードRAM7へのポインタは、上述した様に直接デコードRAM4から与えられても良いし、又、ワード解析部5を介してアドレス生成部3に与えるようにしても良い。

【0045】第2実施形態における第2デコードRAM7のワード構成を図5に示す。図5においては、第1復号値51とその付加ビット52、そして第2復号値53とその付加ビット53という並びになっており、これがシリアル変換部8を介してセクタ9より順次取り出される。この場合、第2デコードRAM7において、付加ビット52、54を格納する領域のビット幅を固定にすることにより、シリアル変換部8における負荷を軽減することができる。

【0046】第2実施形態において第2ワード解析部10は、ワード解析部5の機能を補うための構成である。第2ワード解析部10においては、例えば図5に示す付加ビット領域52、54が常に一定長（最大付加ビット幅）ではなく、可変であった場合に、復号値に応じた付加ビット長を検出してその部分を分離するための情報をシリアル変換部8に与える。またこの際、付加ビットのビット数を先頭及び第2のコードのコード長の合計に加算して、シフト制御部6を制御する。

【0047】また、図5の解析終了コード長55に、予

め2つのコード長の合計と2つの付加ビット長の合計を格納するようにしても良い。

【0048】また、第2実施形態は以下の様にも構成可能である。

【0049】ここで、もし第1回目の検索で先頭コードとその付加ビット、第2番目のコードのみが検索対象のビット列に含まれ、第2番目のコードの付加ビットがビット列に含まれない場合でも、一回の検索で2つのコードを復号することが可能である。この場合、第2デコードRAM7のワード構成を図6に示すようにする。即ち、付加ビットフラグ61を設けたことを特徴とする。尚、他の領域は図5の構成と同様であるため、説明を省略する。

【0050】付加ビットフラグ65が立っている場合は、該ワード内に第1と第2の復号値とそれに対応する2つの付加ビットが含まれていることを示し、一方、付加ビットフラグ65が立っていない場合は、該ワード内に第1、第2の復号値と第1の復号値に対応する1つの付加ビットが含まれていることを示す。そして後者の場合、第2復号値に対応する付加ビットは、第2ワード解析部10がビット取出部2において取り出し、直接セクタ9へ出力するように、シフト制御部6に対して指示を出す。

【0051】以上説明した様に第2実施形態によれば、J P E G符号等、ハフマンコードとハフマンコードとの間に付加ビットが挿入されているようなコードに対しても、デコードテーブルを適切に設定することにより、第1実施形態と同様の効果を得ることができる。

【0052】＜第3実施形態＞以下、本発明に係る第3実施形態について説明する。

【0053】第3実施形態は、上述した第1実施形態の変形例である。

【0054】第3実施形態における復号装置の構成は、上述した第1実施形態に示す図1と同様であるため、説明を省略する。

【0055】第3実施形態におけるデコードRAM4のワード構成を、図7の(a)に示す。一回の検索で複数コードを復号する場合には、第2デコードRAM7へのポインタを、ワード内においてコード長又は次解析長を示す領域72及び検索終了フラグ73内に収める。そして、複数コードフラグ74を立てる。この様子を、図7の(a)の下段に示す。

【0056】即ち、デコードRAM4のワード中に先頭コードの復号値（第1復号値）が収まるため、図7の(b)に示すように、第2デコードRAM7の各ワードにおいて先頭コードに対する第1復号値を省くことができる。従って、第2デコードRAM7におけるワード幅を縮小することができ、より少ないテーブル容量で複数コードの復号が高速に行える。

【0057】従って、第3実施形態において複数コード

を一回の検索で復号した場合には、復号データの流れとして、まず第1復号値がワード解析部5よりセクタ9を介して出力され、次に第2復号値がシリアル変換部8経由でセクタ9より出力される。尚、図7の(b)に示す解析終了コード長76は、第1、第2のコード長の合計値である。

【0058】尚、第3実施形態において、第2デコードRAM7用ポインタの領域幅が、図7の(a)に示すコード長又は次解析長を示す領域72と検索終了フラグ領域73の合計幅をわずかに超えてしまう場合には、該ポインタが納まるように、デコードRAM4のワード幅を多少広げても良い。

【0059】逆に、ビット列取出部2において抽出されたビット列が、複数コードの復号が1度に可能である長さであっても、出現頻度の低いコード(特にビット長が比較的長いコード)に対しては、複数コードの復号を行わないようにしても良い。こうすることにより、第2デコードRAM7の容量が少なく済み、従って第2デコードRAM7用ポインタのアドレス幅も小さくなり、デコードRAM4内のワードにおいて第2デコードRAM7用ポインタを格納するビット領域も小さく済み。

【0060】これは即ち、出現頻度の高い、ビット長の比較的短いコードが連続するケースについてのみ、複数コードの復号が行えるようにすれば、第2デコードRAM7の容量を極力少なくすることができ、かつ、長いビット列を参照する必要もなくなるため、デコードRAM4のアドレス長も短くて済み、小容量化を達成しながら十分な高速復号動作が可能となる。

【0061】もちろん、デコードRAM4による1回目の復号において、最長のハフマンコードと同じ長さのビット列を解析するようにしても問題はない。ただしこの場合は、図7の(a)に示すデコードRAM4のワード構成において、2回目の復号のためのポインタ、及び次解析長、及び領域73の検索終了フラグ等は必要なくなり、領域74の複数コードフラグは残される。

【0062】以上説明した様に第3実施形態によれば、デコードRAM4のワード中に第1復号値を収めることにより、第2デコードRAM7の各ワードにおいて先頭コードに対する第1復号値を省くことができる。従って、より少ないテーブル容量で複数コードの復号を高速に行なうことができる。

【0063】<他の実施形態>なお、本発明は、複数の機器(例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0064】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPU

やMPU)が記憶媒体に格納されたプログラムコードを読出し実行することによっても、達成されることは言うまでもない。

【0065】この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0066】プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモ리카ード、ROMなどを用いることができる。

【0067】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS(オペレーティングシステム)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0068】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0069】

【発明の効果】以上説明した様に本発明によれば、ハフマンコードのコード長が長い場合でも複数ワードを利用した復号を可能としたことにより、必要最小限のワード幅によるデコードテーブルの構成が可能となり、テーブルの総容量を削減することができる。

【0070】また、デコードテーブルの検索結果から複数コードの復号を行うか否かを判断し、複数コードの復号を行う場合には第2のデコードテーブルを用いることにより、複数コードの復号に必要なビット列に対してのみ、第2デコードテーブルを用意すれば良く、従って、第2デコードテーブルのアドレス幅を非常に小さくすることができ、該テーブルの小容量化が可能となる。

【0071】即ち、デコードテーブルのアドレス長及び総容量を小さく保ったまま、複数の可変長コードの同時復号を可能とし、復号処理の高速化を実現することができる。

【0072】

【図面の簡単な説明】

【図1】本発明に係る一実施形態である復号装置の構成を示すブロック図である。

【図2】第2実施形態の復号装置の構成を示すブロック図である。

【図3】本実施形態におけるデコードテーブルのワード構成を示す図である。

【図4】本実施形態における第2デコードテーブルのワード構成を示す図である。

【図5】第2実施形態における第2デコードテーブルのワード構成を示す図である。

【図6】第2実施形態における第2デコードテーブルのワード構成を示す図である。

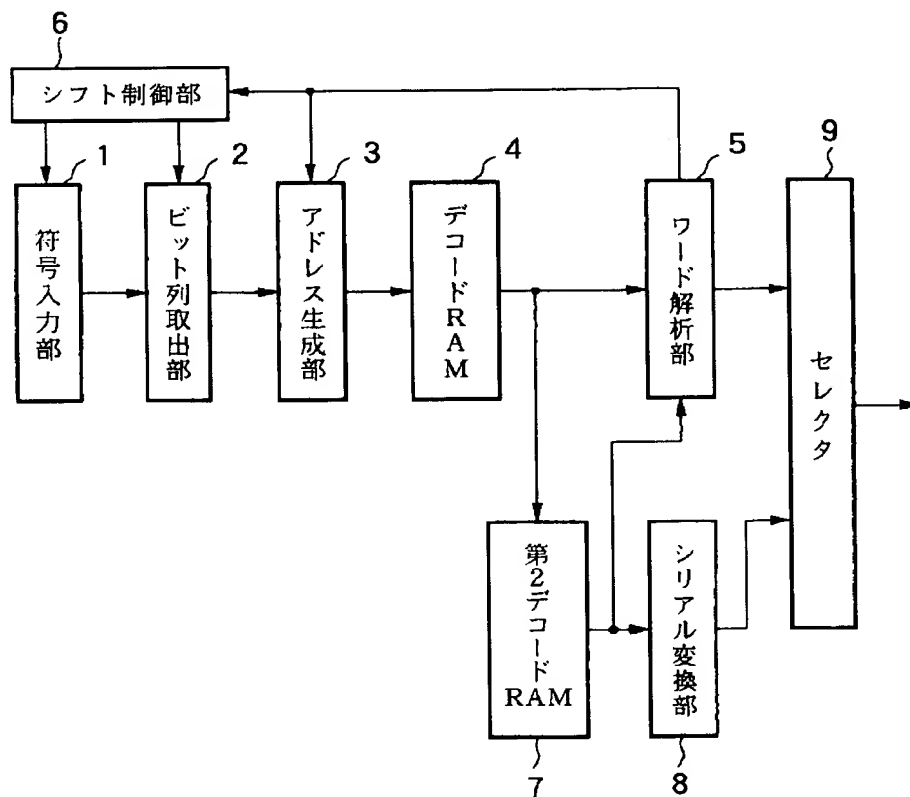
【図7】第3実施形態におけるデコードテーブルのワード構成を示す図である。

【符号の説明】

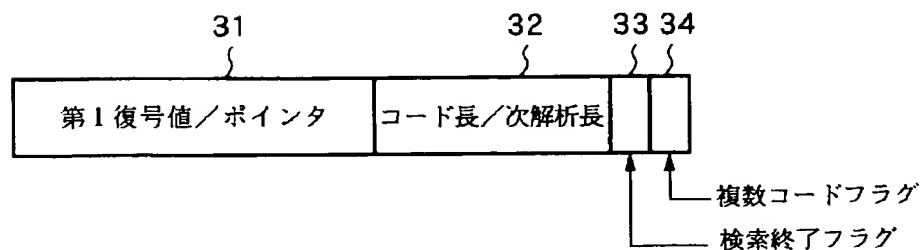
- \* 1 符号入力部  
2 ビット列取出部  
3 アドレス生成部  
4 デコードRAM  
5 ワード解析部  
6 シフト制御部  
7 第2デコードRAM  
8 シリアル変換部  
9 セレクタ  
10 10 第2ワード解析部  
\*

\*

【図1】

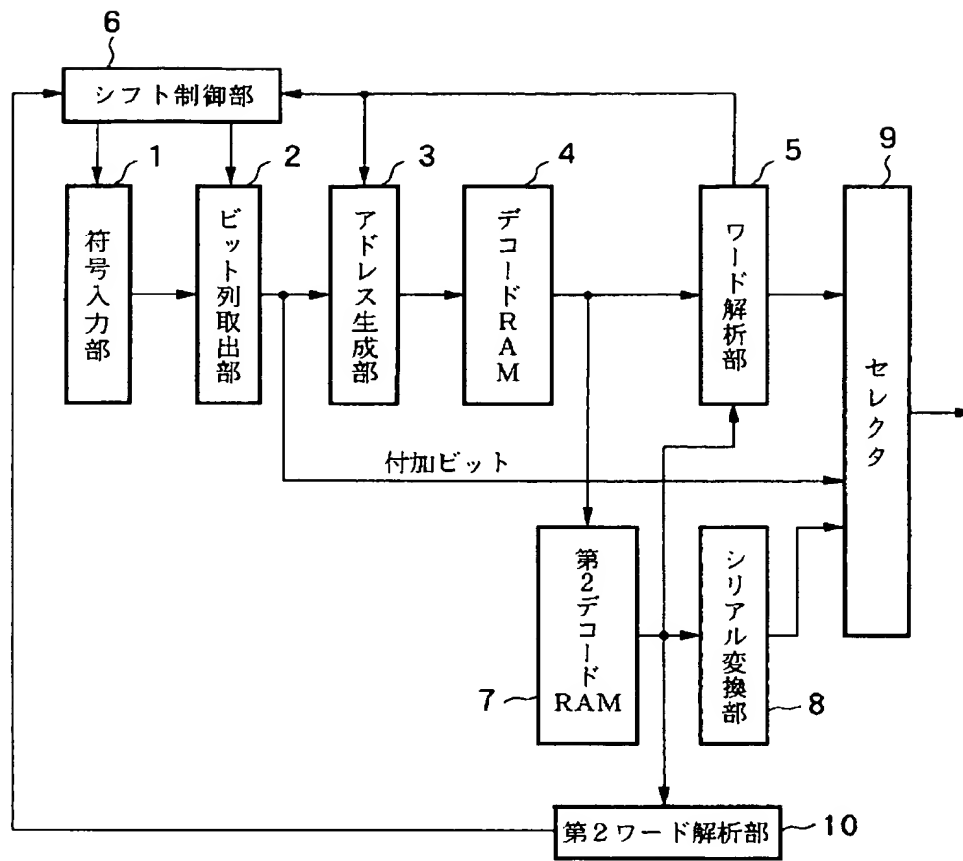


【図3】

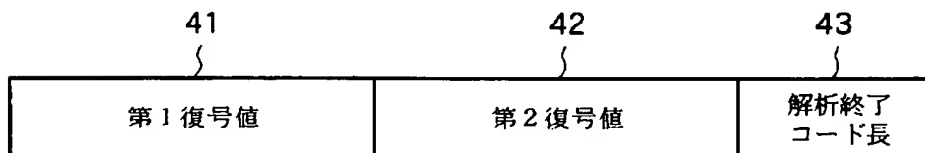




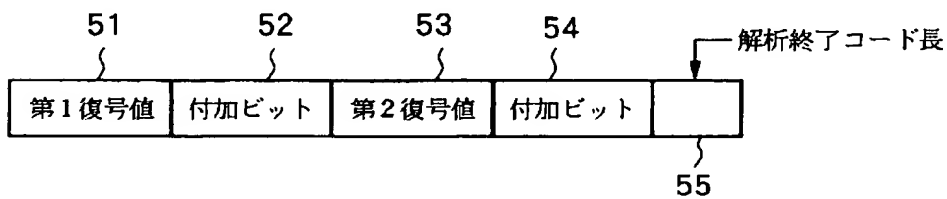
【図2】



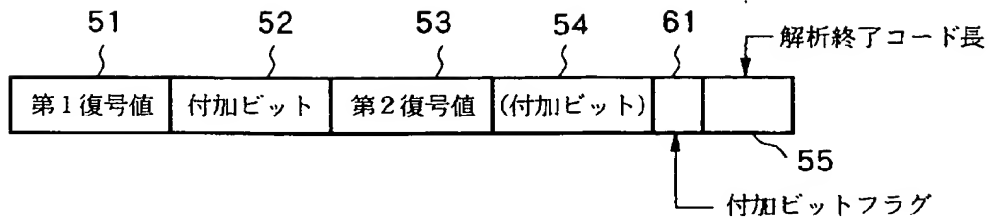
【図4】



【図5】



【図6】



【図7】

